



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10261942 A**(43) Date of publication of application: **29 . 09 . 98**

(51) Int. Cl.

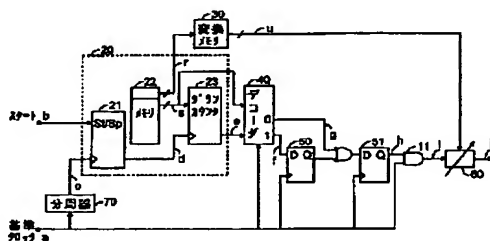
**H03K 5/135**(21) Application number: **09066776**(71) Applicant: **ADVANTEST CORP**(22) Date of filing: **19 . 03 . 97**(72) Inventor: **SATO MASATOSHI**(54) **DELAY CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To reduce the number of the gates of a fine delay circuit and to improve the precision of delay time by providing a frequency divider which frequency-divides 8 reference clock and sets it to be the clock of a logic delay circuit, a decoder decoding the output of the logic delay circuit and an FF circuit receiving output from the decoder and selecting a target clock pulse.

**SOLUTION:** The frequency of the reference clock (a) is doubled and the frequency is set to be 1/2 in the frequency divider 70. The variable range of the fine delay circuit 60 is narrowed to 1/2 without changing the operation period of a logic delay circuit 20. At the time of making the reference clock (a) to be N-fold, the frequency divider 70 is made to divide the frequency into N, decoder output is set to be N, N+1-pieces of FF circuits are provided and the variable range of the fine delay circuit 60 is set to be 1/N. Thus, the number of the gates constituting the fine delay circuit 60 and a conversion memory 30 is reduced and the delay route of the fine delay circuit 60 is shortened. Thus, the heat jitter of an output signal is improved and the precision of delay time is improved.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261942

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.<sup>6</sup>  
H 0 3 K 5/135

識別記号

F I  
H 0 3 K 5/135

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平9-66776

(22) 出願日 平成9年(1997) 3月19日

(71) 出願人 390005175

株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号

(72) 発明者 佐藤 政利

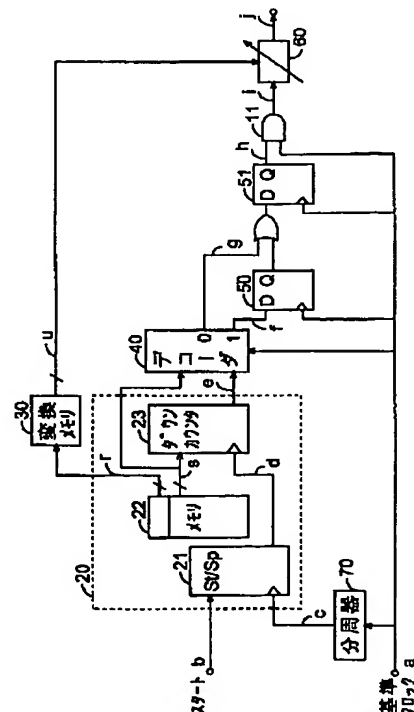
東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

(54) 【発明の名称】 遅延回路

(57) 【要約】

【課題】 ファイン遅延回路のゲート数と、さらに変換メモリの容量を少なくし、遅延時間の精度を向上させた遅延回路を提供する。

【解決手段】 ロジック遅延回路とファイン遅延回路とを使用した基準クロックによる遅延回路において、基準クロックを分周してロジック遅延回路のクロックとする分周器と、前記ロジック遅延回路の出力をデコードするデコーダと、該デコーダの出力を受けて、前記基準クロックから目的のクロックパルスを選択するフリップフロップ回路とを具備した解決手段。



## 【特許請求の範囲】

【請求項1】 ロジック遅延回路とファイン遅延回路とを使用した基準クロックによる遅延回路において、基準クロックを分周してロジック遅延回路のクロックとする分周器と、

前記ロジック遅延回路の出力をデコードするデコーダと、

該デコーダの出力を受けて、前記基準クロックから目的のクロックパルスを選択するフリップフロップ回路と、を具備していることを特徴とした遅延回路。

【請求項2】 基準クロックによる周期単位で遅延できるロジック遅延回路と、

該ロジック遅延回路の信号を受けて制御信号に変換する変換メモリと、

該変換メモリで変換した制御信号で遅延時間が制御されるファイン遅延回路と、

を有して遅延時間を可変できる遅延回路において、

基準クロックをN分周して前記ロジック遅延回路のクロックとする分周器と、

前記ロジック遅延回路の出力からN分周前のクロックの順番を指定して、基準クロックから目的のクロックを選択するクロック選択手段と、

を具備してファイン遅延回路の可変遅延範囲を $1/N$ としたことを特徴とした遅延回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ロジック遅延回路とファイン遅延回路とを使用した基準クロックによる遅延回路に関する。

## 【0002】

【従来の技術】従来の例について、図3～図6を参照して説明する。図5に示すように、従来の遅延回路は、ロジック遅延回路20と、変換メモリ31と、フリップフロップ50と、ANDゲート11と、ファイン遅延回路61とで構成している。ここで、ロジック遅延回路とは、スタート信号から所望のクロック数をダウンカウントした後のクロックパルスを出力して、クロックの周期の単位で遅延する遅延回路である。また、ファイン遅延回路とは、基準クロックの周期の範囲内において、所望の分解能の単位で遅延時間が可変できる遅延回路である。

【0003】次に、図5に示す遅延回路の動作について、図6のタイミングチャートを参照して説明する。但し、図6は、説明を簡明とするために、回路素子自体の位相遅れは略している。

【0004】基準クロックaの周期を、例えば100nsとして、スタート信号bから202.5ns遅延したクロックを出力させる場合で説明する。ロジック遅延回路20において、スタート/ストップ制御回路21に基準クロックaと同期したスタート信号bが入力される

と、そのスタート信号bをトリガとして基準クロックをイネーブル(Enable)にし続けるので、カウンタ用のクロックkが出力される。

【0005】ダウンカウンタ23は、メモリ22のデジタルデータsをロードした後、指定のクロック数でボロウ(borrow)を出力する。この例では、200ns遅延させるために、3発目のクロックでボロウ(borrow)が出力されて信号mとなる。この信号mと、基準クロックaとをフリップフロップ50に受けて、リタイミングし、目的のクロックパルスを選択するためにイネーブル(Enable)のゲート信号をつくる。そして、ANDゲート11で目的のクロック(2クロック分の時間)が選択されて、200nsの遅延時間が得られる。そして、スタート信号から200ns遅延した信号pは、さらにファイン遅延回路61に入力される。

【0006】ファイン遅延回路61は、クロックの周期の範囲で、所望の分解能でクロックを遅延させる必要があるが、その具体例を図3に、またタイムチャートを図4に示す。但し、図4は、説明を簡明とするために、回路上の位相遅れは簡略して表現している。

【0007】従来のファイン遅延回路は、例えば図3に示すように、遅延時間の異なる遅延回路5a～5nをシリーズに接続して、所望の可変遅延時間を実現している。

【0008】そして、図4に示すように、フリップフロップ4の出力を制御することにより、出力されるパルス信号に遅延時間Tpdを付与するかしないかを選択できることになる。さらに、遅延回路5aは、遅延ゲート1a～1nの数を変えることで相対的な遅延時間がえられる。従って、遅延時間が長くなると、遅延ゲート1a～1nの数が増加する。

【0009】そこで、ファイン遅延回路は、遅延回路5a～5nの各遅延時間を、クロックの周期の半分の遅延時間から、所望の分解能となるまで順次半減させた遅延時間にして設ける。そして、ファイン遅延回路は、各遅延回路の遅延時間を任意に組み合わせて構成することで所望の遅延時間がえられる。

【0010】例えば、基準クロックaの周期を100nsとして、所望の分解能を0.1nsとすると、ファイン遅延回路61は、各遅延時間が50ns、25ns、12.5ns、6.3ns、3.2ns、1.6ns、0.8ns、0.4ns、0.2ns、0.1nsの遅延回路の10段が必要となる。

【0011】また、ファイン遅延回路61を構成している各遅延回路5a～5nの制御は、ロジック遅延回路20のメモリ22に設定されたデジタルデータrを読みだして、変換メモリ31でコード変換した制御用のデジタルコードtで行っている。この例では、ファイン遅延回路61で2.5ns遅延させる必要があるので、1.6nsと、0.8nsと、0.1nsとの各遅延時間が加

算されるように制御している。

【0012】この結果、ロジック遅延回路20での遅延時間200nsと、ファイン遅延回路61の遅延時間2.5nsとが加算されて、合計202.5nsの遅延時間が得られる。但し、この遅延時間は、遅延時間を0nsとして設定したときの出力クロックとの相対的な位相遅れである。

【0013】そして、従来の遅延回路では、基準クロックの周期に依存してファイン遅延回路の可変範囲がきまる。そのため、基準クロックの周期が長くなるほど、ファイン遅延回路可変範囲が広くなり、所要のゲート数が増大し、さらにそのファイン遅延回路を制御する変換メモリ31の容量も増加する。反対に、基準クロックの周期を短くする場合は、ロジック遅延回路の動作周波数により制限され、またCMOSで構成したときは、動作周波数に比例して消費電力が増加する。

#### 【0014】

【発明が解決しようとする課題】上記説明のように、所望の分解能の遅延時間に対して、基準クロックの周期が長くなるほど、ファイン遅延回路可変範囲が広くなり、所要のゲート数が増大し、さらにそのファイン遅延回路を制御する変換メモリ31の容量も増加する。特に、基準クロックの周期の半分の遅延時間を得るための遅延ゲート数が多くなる。また、ゲート遅延による長い遅延時間の精度がとりにくいという実用上の不便があった。そこで、本発明は、こうした問題に鑑みなされたもので、その目的は、ファイン遅延回路のゲート数と、さらに変換メモリ31の容量を少なくし、遅延時間の精度を向上させた遅延回路を提供することにある。

#### 【0015】

【課題を解決する為の手段】即ち、上記目的を達成するためになされた本発明の第1は、ロジック遅延回路とファイン遅延回路とを使用した基準クロックによる遅延回路において、基準クロックを分周してロジック遅延回路のクロックとする分周器と、前記ロジック遅延回路の出力をデコードするデコーダと、該デコーダの出力を受けて、前記基準クロックから目的のクロックパルスを選択するフリップフロップ回路と、を具備していることを特徴とした遅延回路を要旨としている。

【0016】また、上記目的を達成するためになされた本発明の第2は、基準クロックによる周期単位で遅延できるロジック遅延回路と、該ロジック遅延回路の信号を受けて制御信号に変換する変換メモリと、該変換メモリで変換した制御信号で遅延時間が制御されるファイン遅延回路と、を有して遅延時間を可変できる遅延回路において、基準クロックをN分周して前記ロジック遅延回路のクロックとする分周器と、前記ロジック遅延回路の出力からN分周前のクロックの順番を指定して、基準クロックから目的のクロックを選択するクロック選択手段と、を具備してファイン遅延回路の可変遅延範囲を1／

Nとしたことを特徴とした遅延回路を要旨としている。

#### 【0017】

【発明の実施の形態】本発明の実施の形態は、下記の実施例において説明する。

#### 【0018】

【実施例】本発明の実施例について、図1～図4を参照して説明する。図1に示すように、本発明の遅延回路は、ロジック遅延回路20と、変換メモリ30と、フリップフロップ50、51と、ANDゲート11と、ファイン遅延回路60と、デコーダ40と、分周器70とで構成している。ここで、ロジック遅延回路20と、ファイン遅延回路60との動作は、従来技術で説明したのと同様である。

【0019】次に、本発明の遅延回路の動作について、図2のタイミングチャートを参照して説明する。但し、図2は、説明を簡明とするために、回路素子自身の位相遅れは略している。

【0020】例えば、従来の2倍の周波数である基準クロックaの周期を50nsとし、分周器の分周をN=2として、スタート信号bから202.5ns遅延したクロックを出力させる場合で説明する。ロジック遅延回路20は、従来と同様の動作により出力信号eをデコーダ40に供給する。

【0021】そして、デコーダ40は、分周をN=2としたので、1対2のデコーダを使用する。また、信号sを受けて、デコーダ40は、2分周された後の1周期の範囲において、所望の遅延時間が2分周前の基準クロックaについて何番目に相当するかにより、1番目のときは0から信号gを、2番目のときは1から信号fを選択出力する。

【0022】即ち、この例では2分周（周期は2倍）しているので、100nsの範囲で、分周前の0～50ns未満の範囲か、50ns～100ns未満の範囲かをデコーダ40で選択する。つまり、遅延時間の設定値でみると、所望の遅延時間が200ns～250ns未満の範囲においては0から信号gが出力され、250ns～300ns未満の範囲においては1から信号fが出力される。

【0023】そして、この例では、遅延時間を202.5nsとしているので、デコーダ40の出力0から信号gが出力され、フリップフロップ50でリタイミングして、目的クロックを選択するゲート信号hとなる。そして、ANDゲート11で目的のクロックが選択されて、ファイン遅延回路61の入力信号iとなる。

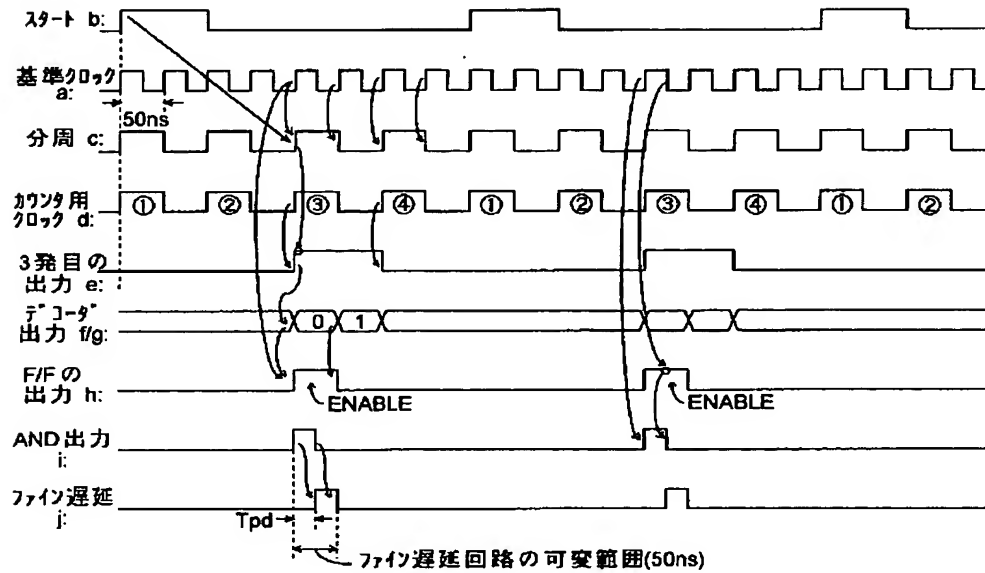
【0024】ファイン遅延回路60は、従来技術で説明した図3と同じであるので説明を省略するが、本実施例では、基準クロックaの周期が50nsとなっている。

【0025】従って、所望の分解能を0.1nsとすれば、ファイン遅延回路60は、従来の50nsの遅延回路が不要となり所要のゲート数も半減する。

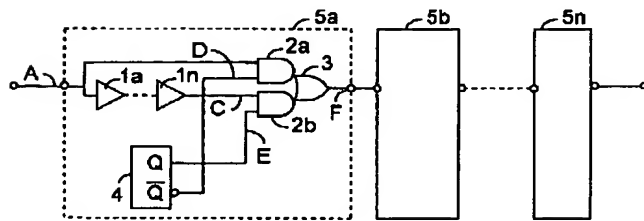
【0031】また、説明を簡明とするために、本実施例ではクロックの周期の長い例で説明したが、実用の遅延

- 5 a ~ 5 n 遅延回路
- 1 1 ANDゲート
- 2 0 ロジック遅延回路
- 3 0、3 1 変換メモリ
- 4 0 デコーダ
- 5 0、5 1 フリップフロップ
- 6 0、6 1 ファイン遅延回路
- 7 0 分周器

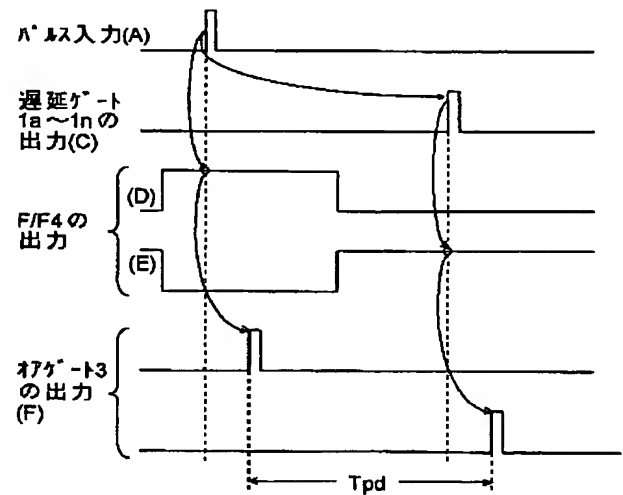
【図2】



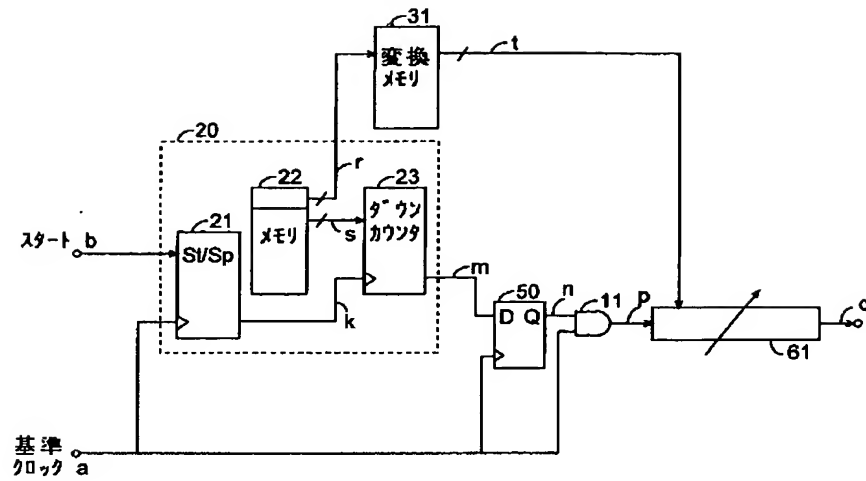
【図3】



【図4】



【図5】



【図6】

